

Japanese Kokai Patent Application No. P2002-328653A

Job No.: 228-118772

Ref.: pat. No. 2002-328653/PU010055 US&JP/HDF(Della)/Order No. 8278

Translated from Japanese by the McElroy Translation Company

800-531-9977

customerservice@mcelroytranslation.com

JAPANESE PATENT OFFICE
PATENT JOURNAL
KOKAI PATENT APPLICATION NO. P2002-328653A

Int. Cl. ⁷ :	G 09 G 3/36 G 02 F 1/133 G 09 G 3/20 H 04 N 5/202
Filing No.:	P2001-124538
Filing Date:	April 23, 2001
Publication Date:	November 15, 2002
No. of Claims:	1 (Total of 7 pages; OL)
Examination Request:	Filed

ADJUSTABLE BIAS GAMMA CORRECTING CIRCUIT HAVING CENTRAL
SYMMETRIC VOLTAGE

Inventors:	Yuren Shen 185-33 Yufeng Street, 19 Lin, Xindongli, East District, Tainan City, Taiwan Jianzhi Chen 41 Leren Street, 36 Lin, Wanggongli, Xinyin City, Tainan City, Taiwan Mingdao Chen 158-10 Changqun Street, 11 Lin, Longshanli, East District, Xinzhu City, Taiwan Mingjun Liao 239-50 Mingxin Road, Erchongli, Zhudong-Zhen, Xinzhu County, Taiwan
------------	--

Applicant:

390023582

Industry Technology Research
Academy Foundation
4-195 Zhongxin Road, Zhudong-
Zhen, Xinzhu County, Taiwan

Agents:

100075812

Kenji Yoshitake, patent attorney, and
4 others

[There are no amendments to this patent.]

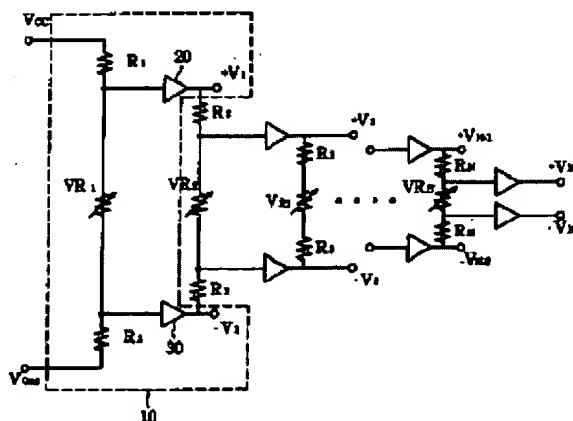
Abstract

Problem

To provide a type of gamma correction circuit that can generate largest number of adjustable driving reference voltages using the least number of voltage sources.

Means to solve

An adjustable bias gamma correcting circuit having a central symmetric voltage is disclosed. According to the present invention, by providing varistors, transistors or op-amps in the gamma correction circuit, it is possible to obtain plural positive and negative driving voltages symmetric to a central voltage as a reference. According to the present invention, the gamma correction circuit can generate a maximum number of adjustable driving voltages using a minimum number of voltage sources.



Claim

An adjustable bias gamma correcting circuit characterized by the following facts: the adjustable bias gamma correcting circuit is for generating plural positive and negative driving voltages with reference to a central voltage; in this adjustable bias gamma correcting circuit, there are plural symmetrically divided voltage units; in each of the symmetrically divided voltage units, a first resistor having a certain resistance, a varistor, and a second resistor having said resistance are connected in series between a first input terminal and a second input terminal; a first terminal of said varistor is connected to the input terminal of a first buffer; a second terminal of said varistor is connected to the input terminal of a second buffer; the output terminal of said first buffer and the output terminal of said second buffer generate said positive driving voltage and said negative driving voltage as a pair, respectively; the output of said first buffer and the output of said second buffer of each said symmetrically divided voltage unit are connected to a first input terminal and a second input terminal of a next-section symmetrically divided voltage unit, respectively; and said first input terminal and said second input terminal of said first symmetrically divided voltage unit are connected to a first voltage source and a second voltage source, respectively.

Detailed explanation of the invention

[0001]

The present invention pertains to a type of gamma correction circuit. More specifically, the present invention pertains to a type of gamma correction circuit using varistors, transistors and op-amps to obtain an adjustable bias gamma correcting circuit having a central symmetric voltage.

[0002]

In an active matrix liquid crystal display (AM-LCD) system, as shown in Figure 1, the characteristic curve illustrating the relationship between the transmissivity of a liquid crystal and the applied voltage is a nonlinear curve. As shown in Figure 2, in order to give the optimum visual effect, a linear characteristic relationship should exist between the transmissivity of a liquid crystal and the code number, that is, a special relationship curve should exist between them. For this purpose, the relationship between the driving voltage and the code number should be determined. As shown in Figure 3, the curve that maps all code numbers to prescribed driving voltages is called a gamma curve.

[0003]

For an AM-LCD system, the principal function of the gamma correction circuit is to take the gamma curve as a reference for converting the code number to the corresponding driving voltage, and then to apply the driving voltage on the liquid crystal of the AM-LCD system. By means of the gamma curve, it is possible to adjust the luminance, gradation, contrast, and color of the LCD. Consequently, the gamma curve determined by the gamma correction circuit is extremely important for the color quality of an LCD.

[0004]

Usually, the larger the number of reference driving voltages applied from the gamma correction circuit, the smaller the error in approximating the gamma curve. In order to satisfy the requirement for high color quality of a display, there should be 256 code numbers for 8-bit data. Here, the meaning of the 256 code numbers is that the display can reveal 256 tones of gradation. It is preferred that 256 reference voltage sources be given by the adjusting circuit. However, this is impossible. In addition, because a nematic liquid crystal has AC driving characteristics, 512 driving voltages should be applied on the gamma correction circuit, including 256 positive reference voltages and 256 negative reference voltages. Figure 4 is a diagram illustrating a gamma correction circuit of the prior art. Here, two voltages (V_n , V_{n-1}) are applied on plural resistors (R_1 - R_n) connected in series. By adjusting the resistances, it is possible to obtain driving voltages (V_{r1} - $V_{R_{m-1}}$) between the two voltages (V_n , V_{n-1}) at the various nodes, respectively. As shown in Figure 1 [sic; 4], the nodes are connected to buffers, and the outputs of the buffers become the driving voltages. As a result, by using the divided voltage of resistors connected in series, it is possible to decrease the input voltage.

[0005]

As shown in Figure 5, in an AC driver, plural symmetric resistors (R_1 - R_m) connected in series are connected to two input reference voltage terminals (V_{cc} , V_{Gnd}), and the open terminals of the two resistors (R_m) are connected to each other to form a central voltage node. In this way, the gamma correction circuit has a central voltage $((V_{cc} + V_{Gnd})/2)$ and symmetric driving voltages ($+V_1$, $-V_1$, $+V_2$, $-V_2$ to $+V_{m-1}$, $-V_{m-1}$) with reference to the central voltage. In the gamma correction circuit of the prior art, it is rather easy to obtain the driving voltages. However, if one of the resistors connected in series is changed, all of the driving voltages are affected. Consequently, it is rather difficult to obtain symmetric driving voltages and a central voltage in that adjustment is required. In addition, for asymmetric driving voltages, image flickering takes place, and the image quality deteriorates.

[0006]

In order to satisfy the requirement for high color quality of the display, an accurate gamma curve should be obtained. In order to approximate the gamma curve, it is necessary to increase the number of driving reference voltages. Consequently, there is a demand for development of a gamma correction circuit that can generate a maximum number of adjustable driving reference voltages while using a minimum number of voltage sources.

[0007]

Consequently, the objective of the present invention is to provide an adjustable bias gamma correcting circuit having a central symmetric voltage. According to the present invention, by providing varistors, transistors or op-amps in the gamma correction circuit, it is possible to obtain plural positive and negative symmetric driving voltages.

[0008]

Another objective of the present invention is to provide an adjustable bias gamma correcting circuit having a central symmetric voltage. By means of the present invention, it is possible to generate a maximum number of adjustable driving voltages with a minimum number of voltage sources.

[0009]

In all aspects of the present invention, the present invention provides an adjustable bias gamma correcting circuit characterized by the following facts: in this adjustable bias gamma correcting circuit, there are plural symmetrically divided voltage units; in each of the symmetrically divided voltage units, a first resistor, a resistance controller, and a second resistor are connected in series between a first input terminal and a second input terminal; a first terminal of said resistance controller is connected to the input terminal of a first buffer; a second terminal of said resistance controller is connected to the input terminal of a second buffer; the output terminal of said first buffer and the output terminal of said second buffer generate a positive driving voltage and a negative driving voltage as a pair, respectively; the output of said first buffer and the output of said second buffer of each said symmetrically divided voltage unit that are connected to the first voltage and the second voltage are connected to a first input terminal and a second input terminal of the next-section symmetrically divided voltage unit, respectively.

[0010]

Also, in all aspects of the present invention, the present invention provides an adjustable bias gamma correcting circuit characterized by the following facts: the adjustable bias gamma

correcting circuit has plural symmetrically divided voltage units; and each of said symmetrically divided voltage units has the following parts: a varistor having a drawing terminal connected between an input terminal and a first voltage, a first amplifier having a drawing terminal connected to its own positive input terminal and a negative input terminal connected to its own output terminal, a second amplifier having a first resistor connected between the negative input terminal of the first amplifier and its own negative input terminal and a second resistor connected between its own negative input terminal and an output terminal, and a central voltage connected to the positive input terminal of the second amplifier for generating a pair of driving voltages, that is, a positive driving voltage and a negative driving voltage from the outputs of the first and second amplifiers, respectively. The output of the first amplifier of each symmetrically divided voltage unit is connected to the next-section input terminal, and the first input terminal is connected to the second voltage.

[0011]

The aforementioned aspects of the present invention as well as their effects will be explained in detail with reference to annexed figures so that they can be easily and more clearly understood.

[0012]

Figure 6 is a schematic diagram illustrating a gamma correction circuit in Application Example 1 of the present invention. In the following, an explanation will be given regarding the connection configuration of the gamma correction circuit.

[0013]

The gamma correction circuit comprises plural symmetrically divided voltage units (10). In first symmetrically divided voltage unit (10), resistor R_1 , varistor VR_1 , and resistor R_1 are connected in series between two input terminals connected to voltage sources (V_{cc} , V_{Gnd}). Two buffers (20), (30) are connected to the two ends of varistor VR_1 , respectively, and a voltage is output from the two terminals of varistor VR_1 . In addition, two output terminals of the preceding-section buffer are connected to the input terminals of the next-section symmetrically divided voltage unit. In this way, the gamma correction circuit in Application Example 1 has first symmetrically divided voltage unit (10), second symmetrically divided voltage unit, ... and Nth symmetrically divided voltage unit.

[0014]

As shown in Figure 6, it is clear that the central voltage of this gamma correction circuit is $(V_{cc}+V_{Gnd})/2$. For said first symmetrically divided voltage unit (10), because the two resistors have the same resistance, the outputs of two buffers (20), (30) represented as $+V_1$ (positive driving voltage) and $-V_1$ (negative driving voltage) are symmetric with reference to the central voltage for any adjustment of varistor VR_1 . Similarly, as explained above, the other symmetrically divided voltage units can generate symmetric sequentially decreased positive driving voltages ($+V_2$ to $+V_N$) and sequentially increased negative driving voltages ($-V_2$ to $-V_N$). By adjusting the resistances of the varistors of said symmetrically divided voltage units, it is possible to calibrate all of the positive driving voltages ($+V_2$ to $+V_N$) and the negative driving voltages ($-V_2$ to $-V_N$). Also, each pair of positive driving voltage and negative driving voltage is symmetric with reference to the central voltage. In addition, even if the varistor is adjusted, a shift in the central voltage does not occur. In addition, by increasing the number of symmetrically divided voltage units, the driving voltage of the gamma correction circuit can approach the gamma curve.

[0015]

Figure 7 is a schematic diagram illustrating a gamma correction circuit in Application Example 2 of the present invention. In the following, an explanation will be given regarding the connection configuration of this gamma correction circuit.

[0016]

The gamma correction circuit comprises plural symmetrically divided voltage units (40). First symmetrically divided voltage unit (40) has resistor R_1 , the source and drain of field effect transistor (FET) T_1 and resistor R_1 connected in series between two input terminals connected to voltage sources (V_{cc} , V_{Gnd}), respectively. Two buffers (50,60) are connected to the source and drain of FET (T_1) respectively and a voltage is output from the source terminal and drain terminal. The two input terminals of the next-section symmetrically divided voltage unit are connected to the two output terminals of the preceding-section buffer. In this way, the gamma correction circuit of Application Example 2 of the present invention has first symmetrically divided voltage unit (40), second symmetrically divided voltage unit,... and Nth symmetrically divided voltage unit, as a completed circuit.

[0017]

As shown in Figure 7, the FET in each said symmetrically divided voltage unit can be handled as a unit having an internal resistance between its source terminal and drain terminal,

and the internal resistance can be controlled by adjusting the gate voltage of the FET. Just as in Application Example 1, all of the symmetrically divided voltage units can generate symmetric sequentially decreased positive driving voltages ($+V_1$ to $+V_N$) and sequentially increased negative driving voltages ($-V_1$ to $-V_N$). By adjusting the gate voltage, an adjusted internal resistance is obtained, and therefore it is possible to calibrate all of the positive driving voltages ($+V_1$ to $+V_N$) and negative driving voltages ($-V_1$ to $-V_N$). Also, each pair of positive driving voltage and negative driving voltage are symmetric with reference to the central voltage.

[0018]

Figure 8 is a schematic diagram illustrating a gamma correction circuit in Application Example 3 of the present invention. In the following, an explanation will be given regarding the connection configuration of this gamma correction circuit.

[0019]

The gamma correction circuit comprises plural symmetrically divided voltage units (70). All of said symmetrically divided voltage units (70) have the same connection constitution of a varistor with a drawing terminal, two resistors having the same resistance, and two op-amps. The varistor VR_1 of first symmetrically divided voltage unit (70) is connected between input terminals connected to voltage sources (V_{cc} , V_{Gnd}). The positive input terminal of first op-amp (80) is connected to the drawing terminal of varistor VR_1 , and the negative input terminal is connected to the output terminal of first op-amp (80). Central voltage V_{com} is connected to the positive input terminal of second op-amp (90), resistor R_1 is connected between the two negative input terminals of first op-amp (80) and second op-amp (90), and the other resistor R_1 is connected between the negative input terminal and the output terminal of second op-amp (90). In addition, the input terminal of the next-section symmetrically divided voltage unit is connected to the output terminal of the first op-amp of the preceding section. In this way, the gamma correction circuit in Application Example 3 of the present invention comprises first symmetrically divided voltage unit (70), second symmetrically divided voltage unit,... and Nth symmetrically divided voltage unit, as a complete circuit.

[0020]

As shown in Figure 8, it is clear that this gamma correction circuit has a central voltage of V_{com} . In said first symmetrically divided voltage unit (70), because the two resistors have the same resistance, for any adjustment of varistor VR_1 , the outputs of two op-amps (80), (90) represented by $+V_1$ (positive driving voltage) and $-V_1$ (negative driving voltage) are symmetric with reference to the central voltage. Similarly, as explained above, other symmetrically divided

voltage units generate symmetric sequentially decreased positive driving voltages ($+V_2$ to $+V_N$) and sequentially increased negative driving voltages ($-V_2$ to $-V_N$). By adjusting the position of the drawing terminal of the varistor of each symmetrically divided voltage unit, all obtained positive driving voltages ($+V_2$ to $+V_N$) and negative driving voltages ($-V_2$ to $-V_N$) can be calibrated. Here, each pair of positive driving voltage and negative driving voltage is symmetric with reference to central voltage V_{com} . In addition, even if the varistor is adjusted, a shift does not occur in central voltage V_{com} . In addition, by increasing the number of symmetrically divided voltage units, the driving voltage of the gamma correction circuit can approach the gamma curve.

[0021]

Figure 9 is a schematic diagram illustrating a gamma correction circuit in Application Example 4 of the present invention. In the following, an explanation will be given regarding the connection configuration of this gamma correction circuit.

[0022]

Application Example 4 differs from Application Example 3 in that for each symmetrically divided voltage unit (100), the varistor is connected between the input terminal and voltage source V_{cc} . In first symmetrically divided voltage unit (100), the input terminal is grounded. In Application Example 4, the output terminals of two amplifiers (110) and (120) represented by $+V_1$ (positive driving voltage) and $-V_1$ (negative driving voltage) are symmetric with reference to the central voltage V_{com} . Similarly, other symmetrically divided voltage units generate symmetric sequentially increased positive driving voltages ($+V_2$ to $+V_N$) and sequentially decreased negative driving voltages ($-V_2$ to $-V_N$). In addition, the output of Application Example 4 differs from that of Application Example 3 in that, while the positive driving voltage of the symmetrically divided voltage unit in Application Example 3 is higher than that of the next-section symmetrically divided voltage unit, the positive driving voltage of the symmetrically divided voltage unit in Application Example 4 is lower than that of the next-section symmetrically divided voltage unit.

[0023]

As explained above, the present invention provides an adjustable bias gamma correcting circuit having a central symmetric voltage. According to the present invention, by providing varistors, transistors, or op-amps in the gamma correction circuit, it is possible to obtain plural positive and negative symmetrically divided voltages that change sequentially with reference to the central voltage.

[0024]

As another effect of the present invention, the present invention provides an adjustable bias gamma correcting circuit having a central symmetric voltage. By means of the present invention, the gamma correction circuit can generate a maximum number of adjustable driving voltages using a minimum number of voltage sources.

[0025]

The present invention is not limited to the aforementioned application examples. The aforementioned application examples are only for explaining the present invention for understanding by specialists. Various variations are possible as long as the claims are observed. Consequently, the claims should be explained as covering the widest scope.

Brief description of the figures

Figure 1 is a diagram illustrating the relationship between the transmissivity of a liquid crystal and the applied driving voltage.

Figure 2 is a diagram illustrating the linear relationship between the transmissivity of a liquid crystal and the code number.

Figure 3 is a diagram illustrating the gamma curve of the transmissivity of a liquid crystal and the code number.

Figure 4 is a schematic diagram illustrating a gamma correction circuit in the prior art having a fixed ratio of resistors.

Figure 5 is a schematic diagram illustrating a gamma correction circuit in the prior art used in an AC driving system.

Figure 6 is a schematic diagram illustrating Application Example 1 of a gamma correction circuit.

Figure 7 is a schematic diagram illustrating Application Example 2 of a gamma correction circuit.

Figure 8 is a schematic diagram illustrating Application Example 3 of a gamma correction circuit.

Figure 9 is a schematic diagram illustrating Application Example 4 of a gamma correction circuit.

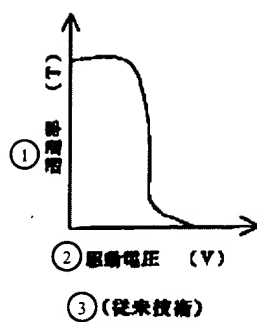


Figure 1

Key: 1 Transmissivity
 2 Driving voltage (V)
 3 (Prior art)

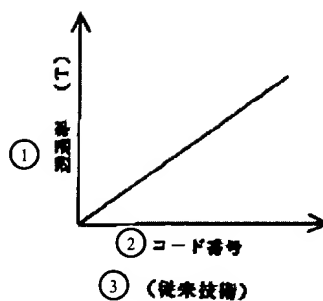


Figure 2

Key: 1 Transmissivity
 2 Code number
 3 (Prior art)

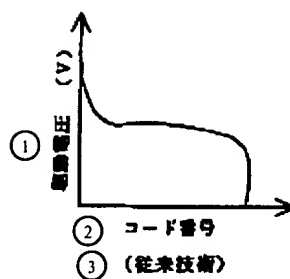


Figure 3

Key: 1 Driving voltage

2 Code number
3 (Prior art)

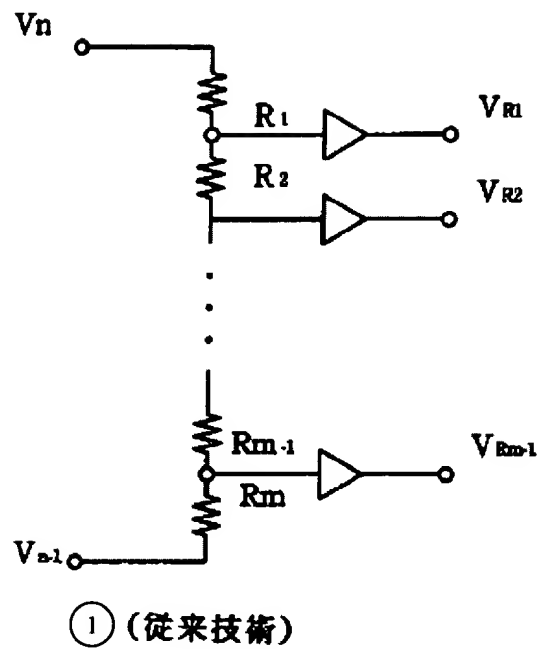


Figure 4

Key: 1 (Prior art)

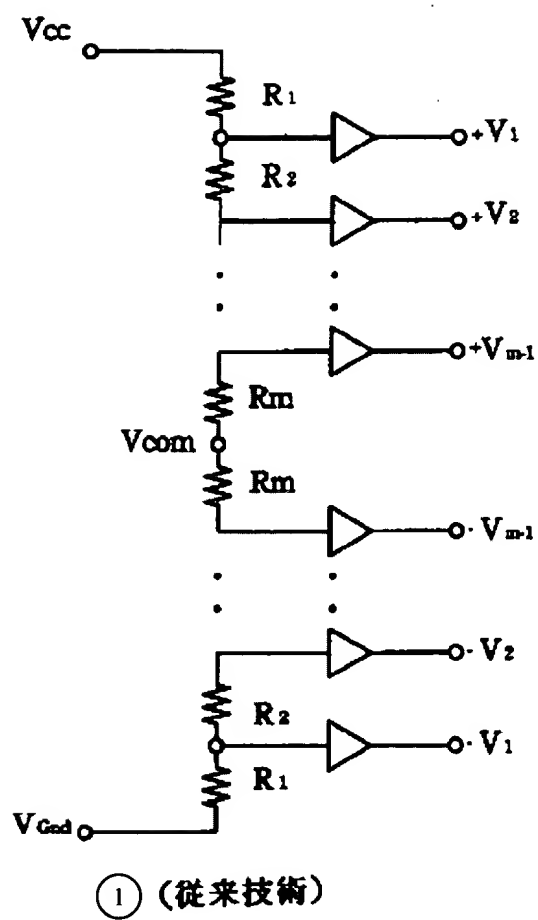


Figure 5

Key: 1 (Prior art)

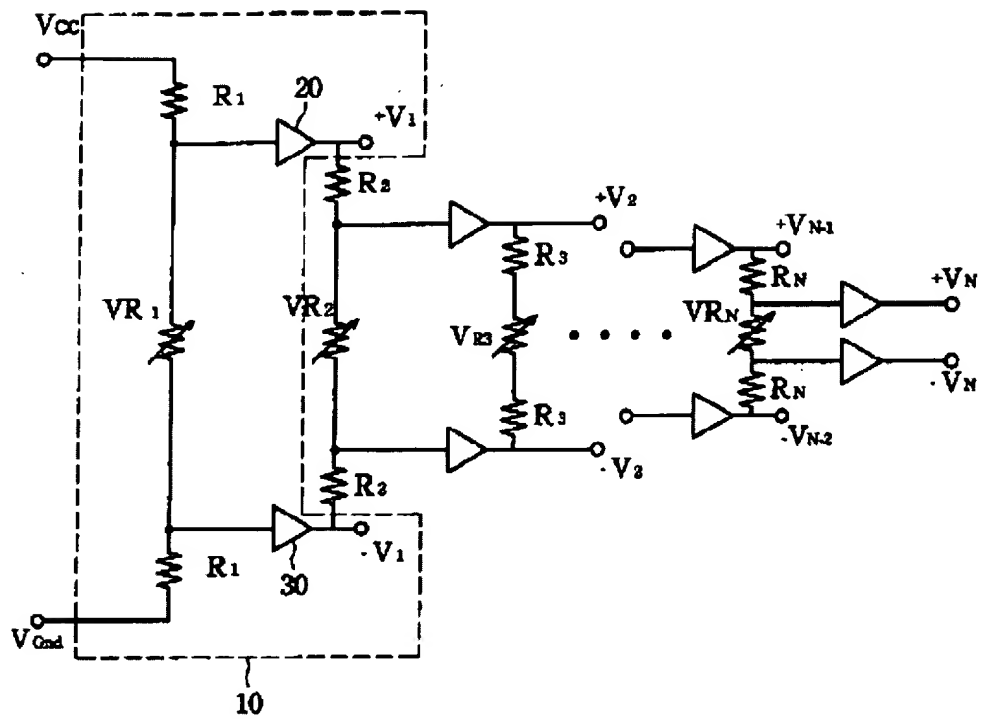


Figure 6

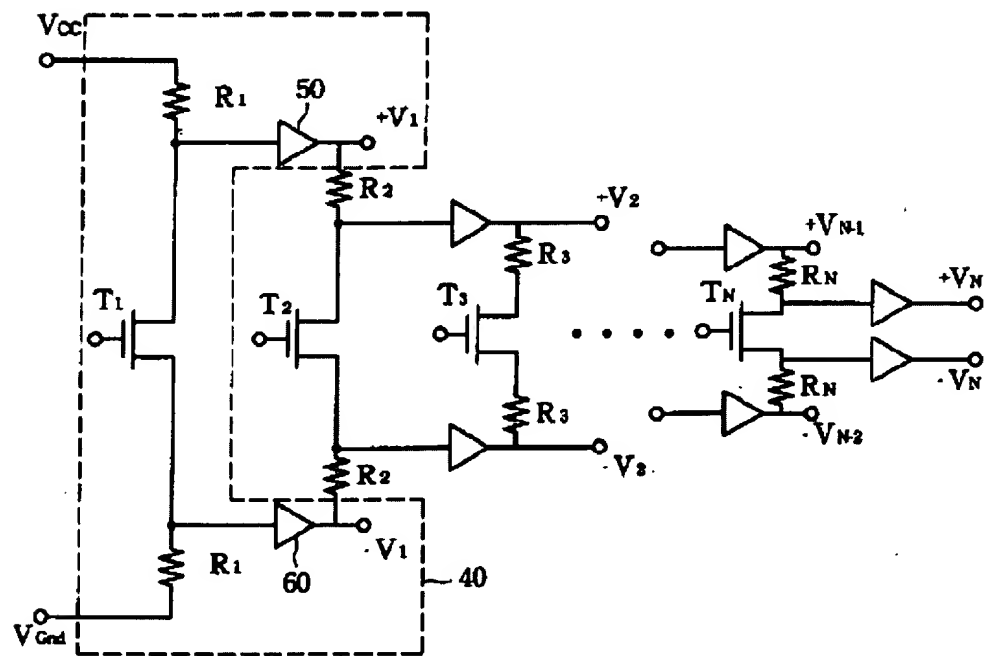


Figure 7

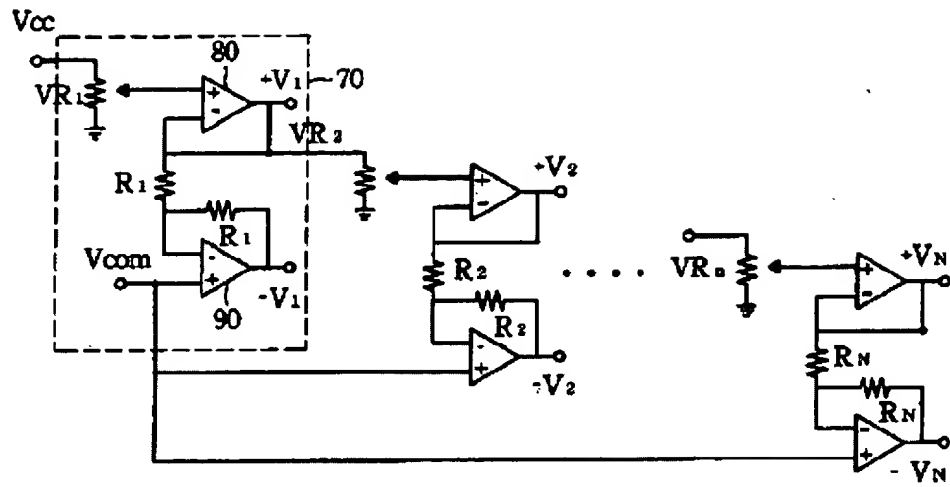


Figure 8

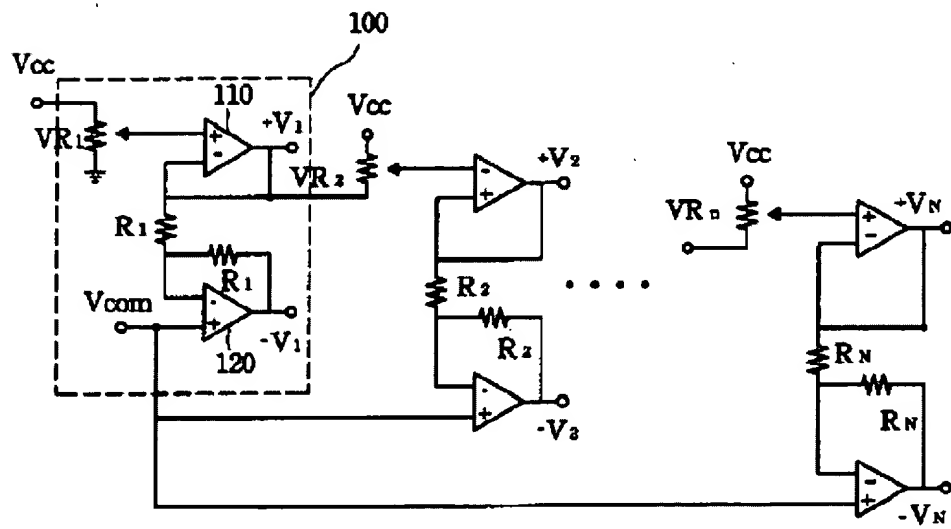


Figure 9

(11)特許出願公開番号

特開2002-328653

(P2002-328653A)

(43)公開日 平成14年11月15日(2002.11.15)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 F 5 C 0 2 1
	6 4 1		6 4 1 Q 5 C 0 8 0
H 0 4 N 5/202		H 0 4 N 5/202	

審査請求 有 請求項の数1 O L (全 7 頁)

(21)出願番号 特願2001-124538(P2001-124538)

(22)出願日 平成13年4月23日(2001.4.23)

(71)出願人 390023582

財団法人工業技術研究院

台灣新竹縣竹東鎮中興路四段195號

(72) 發明者 沈 毓 仁

台灣台南市東區新東里19鄰裕豐街185巷33號

(72)發明者 陳 建 志

台灣台南縣新營市王公里36鄰樂仁街41號

(72)發明者 陳 明 道

台灣新竹市東區龍山里11鄰長春街158巷1弄10號

(74) 代理人 100075812

弁理士 吉武 賢次 (外4名)

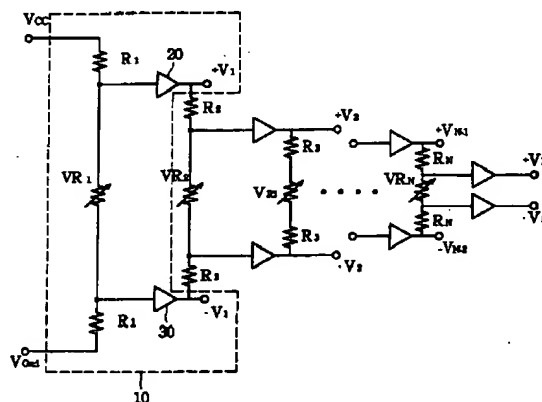
最終頁に続く

(54) 【発明の名称】 中心対称電圧を有する調整可能なバイアスガンマ訂正回路

(57)【要約】 (修正有)

【課題】最低数の電圧源を用いながら最大限に調整可能な駆動基準電圧を発生できるガンマ訂正回路を提供する。

【解決手段】中心対称電圧を有する調整可能バイアスガンマ訂正回路が開示される。本発明では、ガンマ訂正回路にバリスタ、トランジスタ、またはオペアンプを備えることにより、中心電圧を基準にして対称な複数のプラスおよびマイナスの駆動電圧を得ることができる。本発明を用いることにより、ガンマ訂正回路は最低数の電圧源を用いながら、最大限調整可能な駆動電圧を発生することができる。



【特許請求の範囲】

【請求項1】 中心電圧を基準とする複数のプラスおよびマイナスの駆動電圧を発生するための調整可能バイアスガンマ訂正回路であって、

複数の対称分割電圧ユニットを備え、各対称分割電圧ユニットにおいては、ある抵抗値を有する第1の抵抗、バリスタ、前記抵抗値を有する第2の抵抗が第1の入力端子と第2の入力端子との間に直列に接続され、前記バリスタの第1端は第1のバッファの入力端に接続され、前記バリスタの第2端は第2のバッファの入力端に接続され、前記第1のバッファの出力端と前記第2のバッファの出力端とはそれぞれ前記プラスの駆動電圧と前記マイナスの駆動電圧とを対で発生し、各対称分割電圧ユニットの前記第1のバッファの出力と前記第2のバッファの出力とは、それぞれ次段の対称分割電圧ユニットの第1の入力端子と第2の入力端子に接続され、前記第1の対称分割電圧ユニットの前記第1の入力端子と前記第2の入力端子とはそれぞれ第1の電圧源と第2の電圧源とに接続されることを特徴とする、調整可能バイアスガンマ訂正回路。

【発明の詳細な説明】

【0001】 本発明は、ガンマ訂正回路に関する。より詳しくは、本発明は中心対称電圧を有する調整可能バイアスガンマ訂正回路を得るために、ガンマ訂正回路にバリスタ、トランジスタ、またはオペアンプを用いることに関する。

【0002】 アクティブマトリクス液晶ディスプレイ（AM-LCD）システムにおいては、液晶の透過率と印加した電圧との関係を表す特性曲線は、図1に示されるように、非線形曲線である。図2に示されるような、人間の目に最適な視覚効果を与えるような、液晶の透過率とコード番号との間の線形特性、すなわち特殊関係曲線を得るためには、駆動電圧とコード番号との間の関係を定めなければならない。図3に示されるような、すべてのコード番号が特定の駆動電圧にマップ化された曲線は、ガンマ曲線と呼ばれる。

【0003】 AM-LCDシステムにおいては、ガンマ訂正回路の主な機能は、コード番号を対応する駆動電圧に変換するためにガンマ曲線を参照することであり、それにより駆動電圧をAM-LCDシステムの液晶に印加することができる。ガンマ曲線を用いることにより、LCDの輝度、階調、コントラスト、カラーパフォーマンスを調整することができる。故に、ガンマ訂正回路によって定められるガンマ曲線は、LCDのカラー品質にとって極めて重要である。

【0004】 一般に、ガンマ訂正回路から印加される基準駆動電圧の数が多いほど、ガンマ曲線の近似を取るときの誤差は少なくなる。ディスプレイのハイカラー品質を満たすためには8ビットデータのコード番号が256必要である。256のコード番号、とは、ディスプレイ

が256階調を表示できるという意味である。調整回路によって256の基準電圧源が与えられるのが最も望ましいが、それは不可能である。さらに、ネマチック液晶はAC駆動特性を持つため、プラスの256基準電圧とマイナスの256基準電圧との、512駆動電圧がガンマ訂正回路に与えられる必要がある。図4は、従来のガンマ訂正回路を示す。直列に接続された複数の抵抗（ $R_1 \sim R_m$ ）に、2種類（ V_n, V_{n-1} ）の電圧が印加されている。抵抗値を調整することにより、各ノードでは2つの電圧（ V_n, V_{n-1} ）の間の駆動電圧（ $V_{n+1} \sim V_{R_m-1}$ ）がそれぞれ得られる。図1に示されるように、各ノードはバッファに接続され、故にバッファの出力が駆動電圧である。このように、直列接続された抵抗の分割電圧を用いることにより、入力電圧を減少することができる。

【0005】 図5に示されるように、AC駆動回路では、2つの入力基準電圧端子（ V_{cc}, V_{gnd} ）に、複数の直列に接続された対称的な抵抗（ $R_1 \sim R_m$ ）が接続され、2つの抵抗（ R_m ）の開放端は互いに結合されて、中心電圧ノードを構成している。このように、ガンマ訂正回路は中心電圧（ $(V_{cc} + V_{gnd})/2$ ）および中心電圧を基準にして対称的な駆動電圧（ $+V_1, -V_1, +V_2, -V_2 \sim +V_m, -V_m$ ）を有する。従来のガンマ訂正回路でも、駆動電圧を得ることはかなり容易に行える。しかし、直列に接続される抵抗の1つに変化があると、すべての駆動電圧が影響を受けるため、調整を要するような対称駆動電圧および中心電圧を得るのはかなり難しい。さらに、非対称な駆動電圧は画像のちらつき現象を起し、画像品質を劣化させる。

【0006】 ディスプレイのハイカラー品質の要件を満たすためには、正確なガンマ曲線を得る必要がある。ガンマ曲線の近似をとるためには、駆動基準電圧の数を増やす必要がある。故に、最低数の電圧源を用いながら最大限に調整可能な駆動基準電圧を発生することができるガンマ訂正回路が求められる。

【0007】 よって、本発明の目的は、中心対称電圧を有する調整可能バイアスガンマ訂正回路を提供することである。本発明では、ガンマ訂正回路にバリスタ、トランジスタ、またはオペアンプを用いることにより、中心電圧を基準とする、複数のプラス及びマイナスの対称的な駆動電圧を得る。

【0008】 本発明の他の目的は、中心対称電圧を有する調整可能バイアスガンマ訂正回路を提供することである。本発明を利用することにより、ガンマ訂正回路は最低数の電圧源で、最大限に調整可能な駆動電圧を発生することができる。

【0009】 本発明のすべてのアспектにおいて、本発明は、複数の対称分割電圧ユニットを備え、各対称分割電圧ユニットにおいては、第1の抵抗、抵抗値制御回

路、第2の抵抗が第1の入力端子と第2の入力端子との間に直列に接続され、抵抗値制御回路の第1端は第1のバッファの入力端に接続され、抵抗値制御回路の第2端は第2のバッファの入力端に接続され、第1のバッファの出力端と第2のバッファの出力端とはそれぞれプラスの駆動電圧とマイナスの駆動電圧とを対で発生し、各対称分割電圧ユニットの第1のバッファの出力と第2のバッファの出力とは、それぞれ第1の電圧と第2の電圧に接続される次段の対称分割電圧ユニットの第1の入力端子と第2の入力端子に接続されることを特徴とする、調整可能バイアスガンマ訂正回路を提供する。

【0010】また本発明のすべてのアスペクトにおいて、本発明は、複数の対称分割電圧ユニットを備え、各対称分割電圧ユニットにおいては、入力端子と第1の電圧との間に接続されるドローイング端子を有するバリスタと、自己のプラス入力端に接続されるドローイング端子と自己の出力端に接続されるマイナス入力端とを有する第1の増幅器と、第1の増幅器のマイナス入力端と自己のマイナス入力端との間に接続される第1の抵抗と自己のマイナス入力端と出力端との間に接続される第2の抵抗とを有する第2の増幅器と、第1および第2の増幅器の各出力からそれぞれ一对のプラスの駆動電圧とマイナスの駆動電圧を生成するために第2の増幅器のプラス入力端に接続される中心電圧と、を備えている。各対称分割電圧ユニットの第1の増幅器の出力は、次段の入力端子に接続され、第1の入力端子は第2の電圧に接続されることを特徴とする、調整可能バイアスガンマ訂正回路を提供する。

【0011】上に述べた本発明のアスペクトと、それに伴う効果は、添付の図面と併せて以下の詳細な説明を参照することにより、より理解が深まり、より容易に認識できるようになる。

【0012】図6は、本発明の第1の実施例によるガンマ訂正回路を概略的に示す図である。このガンマ訂正回路の接続関係を以下に説明する。

【0013】ガンマ訂正回路は、複数の対称分割電圧ユニット10から成る。第1の対称分割電圧ユニット10では、抵抗(R_1)、バリスタ(VR_1)、および抵抗(R_1)が、それぞれ電圧源(V_{DD} 、 V_{SS})に接続される2つの入力端子間に直列に接続されている。バリスタ(VR_1)の両端には、それぞれ2つのバッファ20、30が接続され、電圧をバリスタ(VR_1)の両端から出力している。さらに、次段の対称分割電圧ユニットの入力端子は、前段のバッファの2つの出力端子に接続されている。このように、本発明の第1の実施例のガンマ訂正回路は、第1の対称分割電圧ユニット10、第2の対称分割電圧ユニット、・・・、第Nの対称分割電圧ユニットを備えて完成される。

【0014】図6に示されるとおり、このガンマ訂正回路の中心電圧は($V_{DD} + V_{SS}$)/2であるのは明

らかである。第1の対称分割電圧ユニット10では、2つの抵抗が同じ抵抗値を有するため、 $+V_1$ (プラスの駆動電圧) および $-V_1$ (マイナスの駆動電圧) で表される2つのバッファ20および30の出力は、バリスタ(VR_1) がどのように調整されようとも、中心電圧を基準にして対称となる。同様に、前述したとおり、他の対称分割電圧ユニットは、対称的な順次減少プラス駆動電圧($+V_2 \sim +V_N$) および順次増加マイナス駆動電圧($-V_2 \sim -V_N$) を発生することができる。それぞれの対称分割電圧ユニットのバリスタの抵抗値を調整することにより、すべてのプラス駆動電圧($+V_2 \sim +V_N$) およびマイナス駆動電圧($-V_2 \sim -V_N$) を較正して得ることができ、またプラス及びマイナスの駆動電圧の対は、中心電圧を基準に対称となる。さらに、バリスタを調整しても、中心電圧がシフトすることがない。またさらに、対称分割電圧ユニットの数を増やすことにより、ガンマ訂正回路の駆動電圧をガンマ曲線に近づけることができる。

【0015】図7は、本発明の第2の実施例のガンマ訂正回路を概略的に示す図である。このガンマ訂正回路の接続関係を以下に説明する。

【0016】ガンマ訂正回路は、複数の対称分割電圧ユニット40から成る。第1の対称分割電圧ユニット40では、抵抗(R_1)と、電界効果トランジスタ(FET)(T_1)のソース及びドレインと、抵抗(R_1)とが、それぞれが電圧源(V_{DD} 、 V_{SS})に接続される2つの入力端子間に直列に接続される。FET(T_1)のソース及びドレインにはそれぞれ2つのバッファ50、60が接続され、ソース端子及びドレイン端子から電圧を出力させている。さらに、次段の対称分割電圧ユニットの2つの入力端子は、前段のバッファの2つの出力端に接続されている。このように、本発明の第2の実施例のガンマ訂正回路は、第1の対称分割電圧ユニット40、第2の対称分割電圧ユニット、・・・、第Nの対称分割電圧ユニットを有し、完成する。

【0017】図7に示すように、それぞれの対称分割電圧ユニットのFETは、ソース端子とドレイン端子との間に内部抵抗を有するものとして扱うことができ、内部抵抗の抵抗値はFETのゲート電圧を調整することによって制御できる。第1の実施例と同様に、すべて対称分割電圧ユニットは、対称的な順次減少プラス駆動電圧($+V_1 \sim +V_N$) および順次増加マイナス駆動電圧($-V_1 \sim -V_N$) を発生することができる。ゲート電圧を調整し、調整された内部抵抗を得ることにより、すべてのプラス駆動電圧($+V_1 \sim +V_N$) およびマイナス駆動電圧($-V_1 \sim -V_N$) を較正して得ることができ、またプラス及びマイナスの駆動電圧の対は、中心電圧を基準に対称となる。

【0018】図8は、本発明の第3の実施例のガンマ訂正回路を概略的に示す図である。このガンマ訂正回路の

接続関係を以下に説明する。

【0019】ガンマ訂正回路は、複数の対称分割電圧ユニット70から成る。各対称分割電圧ユニット70は同じ接続構成であり、ドローイング端子を有するバリスタ、同じ抵抗値を有する2つの抵抗、および2つのオペアンプを備える。第1の対称分割電圧ユニット70のバリスタ(VR_1)は、電圧源($V_{e..}$, $V_{e..a}$)に接続される入力端子の間に接続されている。第1のオペアンプ80のプラス入力端はバリスタ(VR_1)のドローイング端子に接続され、マイナス入力端は第1のオペアンプ80の出力端に接続される。中心電圧($V_{e..}$)は第2のオペアンプ90のプラス入力端に接続され、抵抗(R_1)が第1のオペアンプ80と、第2のオペアンプ90の2つのマイナス入力端の間に接続され、他の抵抗(R_1)が第2のオペアンプ90のマイナス入力端と出力端との間に接続される。さらに、次段の対称分割電圧ユニットの入力端子は前段の第1のオペアンプの出力端に接続される。このように、本発明の第3の実施例のガンマ訂正回路は第1の対称分割電圧ユニット70、第2の対称分割電圧ユニット、・・・、および第Nの対称分割電圧ユニットを有し、完成する。

【0020】図8に示されるとおり、このガンマ訂正回路の中心電圧が $V_{e..}$ であるのは明らかである。第1の対称分割電圧ユニット70では、2つの抵抗が同じ抵抗値を有するため、 $+V_1$ (プラスの駆動電圧) および $-V_1$ (マイナスの駆動電圧) で表される2つのオペアンプ80および90の出力は、バリスタ(VR_1)がどのように調整されようとも、中心電圧を基準として対称となる。同様に、前述したとおり、他の対称分割電圧ユニットは、対称的な順次減少プラス駆動電圧($+V_2 \sim +V_N$) および順次増加マイナス駆動電圧($-V_2 \sim -V_N$) を発生することができる。それぞれの対称分割電圧ユニットのバリスタのドローイング端子の位置を調整することにより、すべてのプラス駆動電圧($+V_2 \sim +V_N$) およびマイナス駆動電圧($-V_2 \sim -V_N$) を較正して得ることができ、またプラス及びマイナスの駆動電圧の対は、中心電圧($V_{e..}$)を基準に対称となる。さらに、バリスタを調整しても、中心電圧($V_{e..}$)がシフトすることがない。またさらに、対称分割電圧ユニットの数を増やすことにより、ガンマ訂正回路の駆動電圧をガンマ曲線に近づけることができる。

【0021】図9は、本発明の第4の実施例のガンマ訂正回路を概略的に示す図である。このガンマ訂正回路の接続関係を以下に説明する。

【0022】第4の実施例と第3の実施例との違いは、各対称分割電圧ユニット100のバリスタが入力端子と電圧源($V_{e..}$)の間に接続されていることである。第1の対称分割電圧ユニット100では、入力端子は接地されている。第4の実施例では、 $+V_1$ (プラスの駆動

電圧) および $-V_1$ (マイナスの駆動電圧) で表される2つの増幅器110および120の出力端は、中心電圧($V_{e..}$)を基準にして対称である。同様に、他の対称分割電圧ユニットは、対称的な順次増加プラス駆動電圧($+V_2 \sim +V_N$) および順次減少マイナス駆動電圧($-V_2 \sim -V_N$) を発生することができる。さらに、第4の実施例と第3の実施例の出力の違いは、第3の実施例では対称分割電圧ユニットのプラスの駆動電圧が次段の対称分割電圧ユニットのものより高いのに対して、第4の実施例では対称分割電圧ユニットのプラスの駆動電圧が次段の対称分割電圧ユニットのものより低い、ということである。

【0023】このように、本発明は、中心対称電圧を有する調整可能バイアスガンマ訂正回路と提供できるという効果がある。本発明では、バリスタ、トランジスタ、またはオペアンプをガンマ訂正回路に備えることにより、中心電圧を基準にして順次変化する複数のプラスおよびマイナスの対称分割電圧を得ることができる。

【0024】さらに本発明は、中心対称電圧を有する調整可能バイアスガンマ訂正回路を提供できるという効果がある。本発明を用いることにより、ガンマ訂正回路は最低数の電圧源を用いながら最大限に調整可能な駆動電圧を発生することができる。

【0025】前述した本発明の好適な実施例は、発明を限定するものではなく、発明を説明するためのものであることは、当業者には理解できよう。添付の請求項の範囲内で様々な変更や同様の構成を成すことが可能であり、このような修正を加えたり、同様の構成を成すために、添付の請求項は、最も広い範囲で解釈されるものとする。

【図面の簡単な説明】

【図1】液晶の透過率と、印加した駆動電圧とを示す図。

【図2】液晶の透過率とコード番号が直線的な関係にある場合を示す図。

【図3】液晶の透過率とコード番号のガンマ曲線を示す図。

【図4】固定比率抵抗を有する従来のガンマ訂正回路を概略的に示す図。

【図5】AC駆動システムで用いられる従来のガンマ訂正回路を概略的に示す図。

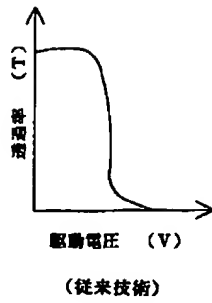
【図6】ガンマ訂正回路の第1の実施例を概略的に示す図。

【図7】ガンマ訂正回路の第2の実施例を概略的に示す図。

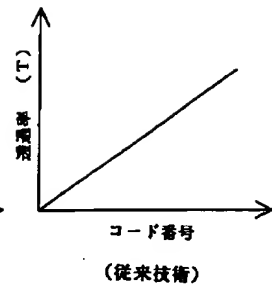
【図8】ガンマ訂正回路の第3の実施例を概略的に示す図。

【図9】ガンマ訂正回路の第4の実施例を概略的に示す図。

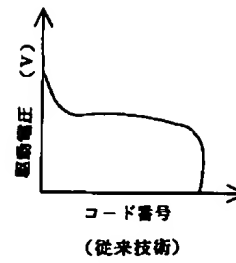
【図1】



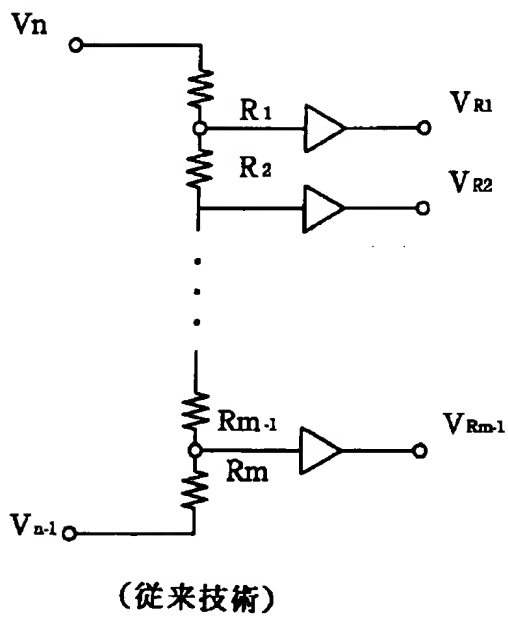
【図2】



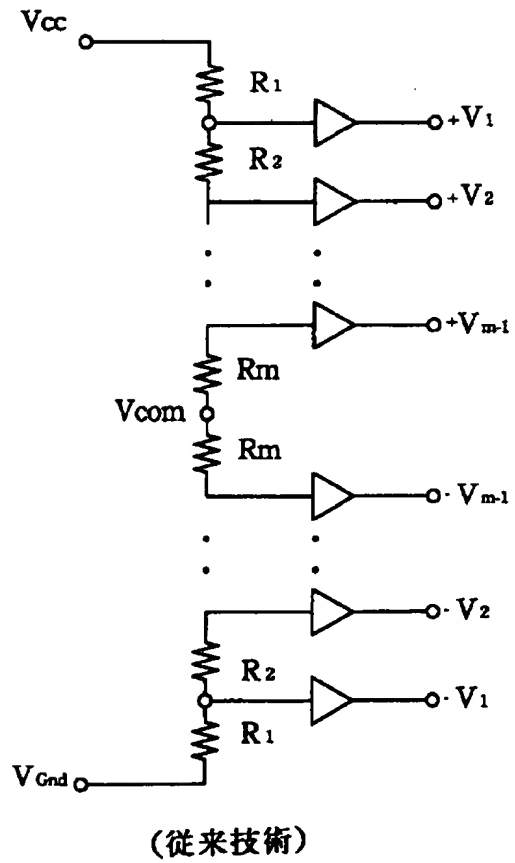
【図3】



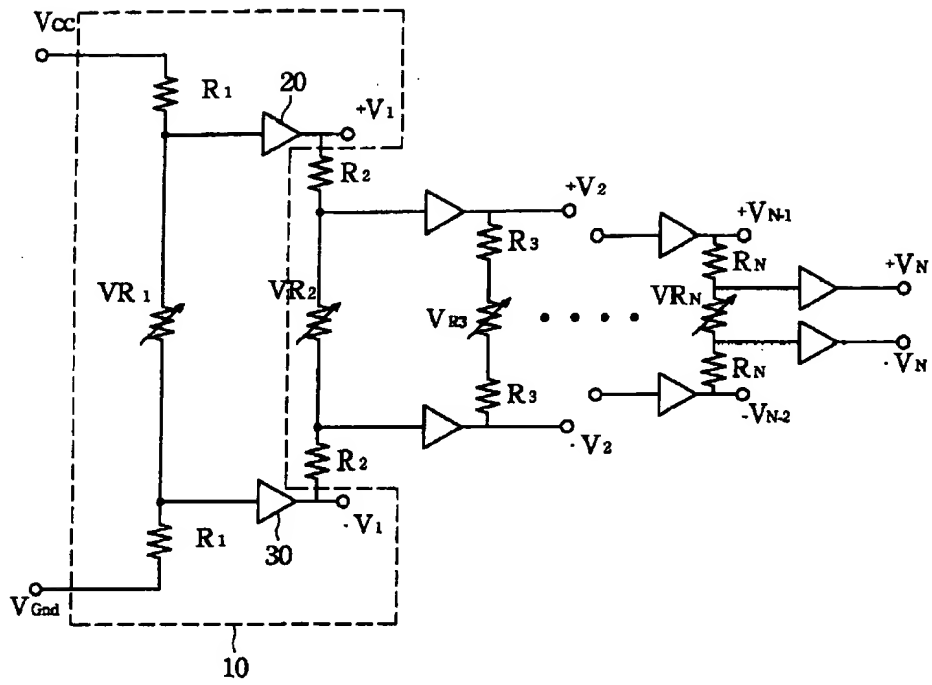
【図4】



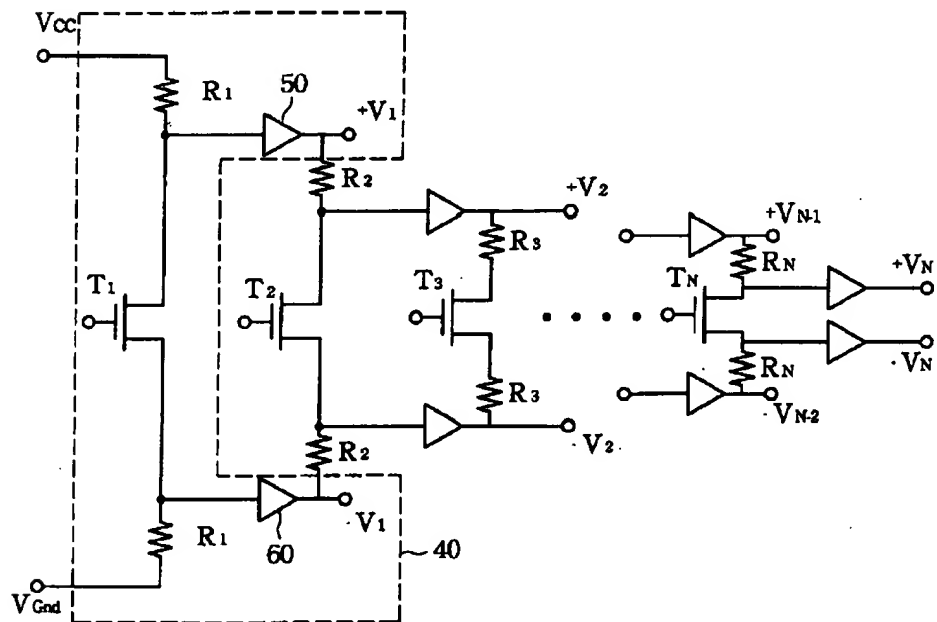
【図5】



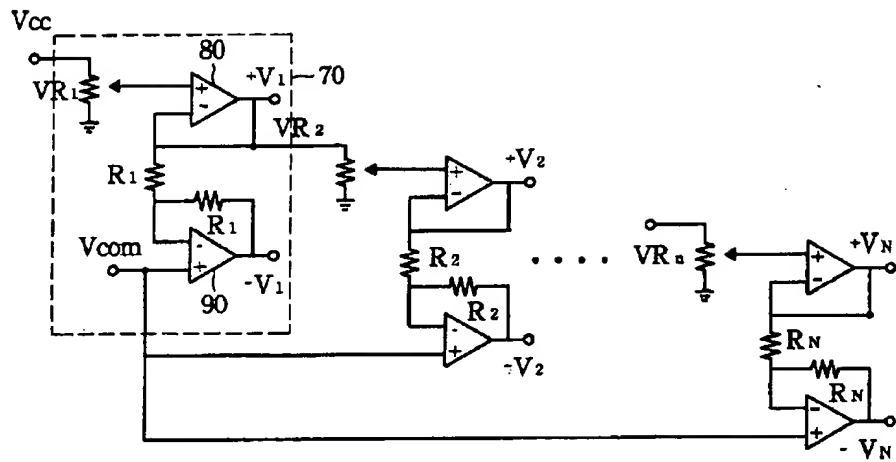
【図6】



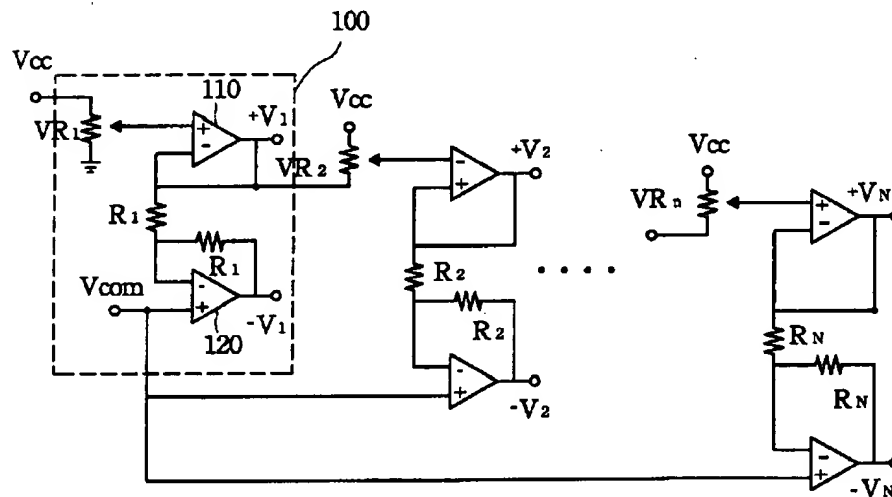
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 廖 明 俊

台湾新竹縣竹東鎮二重里明星路239巷50號

Fターム(参考) 2H093 NC03 ND04 ND06

5C006 AF46 BB15 BF25 BF34 BF43
BF49

5C021 PA02 PA93 PA95 PA99 XA08
XA34 XA35

5C080 AA10 BB05 CC03 DD30 EE28
FF11 JJ03 JJ05